

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

⦿ **BLACK BORDERS**

- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**



**Europäisches
Patentamt**

**European
Patent Office**

**Office européen
des brevets**

Bescheinigung

Certificate

Attestation

Die angehefteten Unterla-
gen stimmen mit der
ursprünglich eingereichten
Fassung der auf dem näch-
sten Blatt bezeichneten
europäischen Patentanmel-
dung überein.

The attached documents
are exact copies of the
European patent application
described on the following
page, as originally filed.

Les documents fixés à
cette attestation sont
conformes à la version
initialement déposée de
la demande de brevet
européen spécifiée à la
page suivante.

Patentanmeldung Nr. Patent application No. Demande de brevet n°

02425805.5

Der Präsident des Europäischen Patentamts;
Im Auftrag

For the President of the European Patent Office

Le Président de l'Office européen des brevets
p.o.

R C van Dijk



Anmeldung Nr:
Application no.: 02425805.5
Demande no:

Anmeldetag:
Date of filing: 30.12.02
Date de dépôt:

Anmelder/Applicant(s)/Demandeur(s):

STMicroelectronics S.r.l.
Via C. Olivetti, 2
20041 Agrate Brianza (Milano)
ITALIE

Bezeichnung der Erfindung/Title of the invention/Titre de l'invention:
(Falls die Bezeichnung der Erfindung nicht angegeben ist, siehe Beschreibung.
If no title is shown please refer to the description.
Si aucun titre n'est indiqué se référer à la description.)

Non-volatile memory cell comprising dielectric layers having a low dielectric
constant and corresponding manufacturing process

In Anspruch genommene Priorität(en) / Priority(ies) claimed /Priorité(s)
revendiquée(s)

Staat/Tag/Aktenzeichen/State/Date/File no./Pays/Date/Numéro de dépôt:

Internationale Patentklassifikation/International Patent Classification/
Classification internationale des brevets:

H01L/

Am Anmeldetag benannte Vertragstaaten/Contracting states designated at date of
filing/Etats contractants désignées lors du dépôt:

AT BE BG CH CY CZ DE DK EE ES FI FR GB GR IE IT LI LU MC NL PT SE SI SK

Titolo: Cella di memoria non volatile comprendente strati dielettrici a bassa costante dielettrica e relativo processo di fabbricazione.

DESCRIZIONE

Campo di applicazione

- 5 La presente invenzione fa riferimento ad una cella di memoria non volatile comprendente strati dielettrici a bassa costante dielettrica e relativo processo.

Più specificatamente l'invenzione si riferisce ad una cella di memoria non volatile integrata su un substrato semiconduttore e comprendente:

- 10 - un transistor a gate flottante includente una regione di source, ed una regione di drain, una regione di gate aggettante dal substrato e compresa tra dette regioni di source e di drain, detta regione di gate avente una predeterminata lunghezza ed ampiezza e comprendente una prima regione di floating gate ed una regione di control gate.
- 15 L'invenzione fa altresì riferimento ad un processo per fabbricare celle di memoria non volatile su un substrato semiconduttore, comprendente le seguenti fasi:
- formare aree attive in detto substrato semiconduttore delimitate da uno strato isolante,
- 20 - formare su dette aree attive un primo strato di materiale dielettrico,
- depositare un primo strato di materiale conduttore su detto primo strato dielettrico,
- definire mediante una tecnica fotolitografica convenzionale una pluralità di regioni di floating gate.
- 25 L'invenzione riguarda in particolare, ma non esclusivamente, una cella di memoria non volatile di tipo Flash comprendente strati dielettrici a bassa costante dielettrica e la descrizione che segue è fatta con

riferimento a questo campo di applicazione con il solo scopo di semplificarne l'esposizione.

Arte nota

5 Come è ben noto, i dispositivi elettronici di memoria Flash EPROM integrati su semiconduttore comprendono una pluralità di celle 1 di memoria non-volatili organizzate a matrice; vale a dire che le celle sono organizzate secondo righe, dette word lines WL, e colonne, dette bit lines BL come mostrato in figura 1a.

10 Ciascuna cella 1 non volatile comprende un transistor MOS a gate flottante come mostrato in figura 1b. La regione FG di gate flottante del transistor a gate flottante è realizzata al di sopra della regione CH di canale realizzata nel 2 substrato semiconduttore e separata da quest'ultimo tramite un sottile strato 3 di ossido (tunnel oxide), spesso circa ~ 10 nm. Una regione CG di gate di controllo (control gate) è
15 accoppiata capacitivamente alla regione FG di gate flottante tramite un unico strato 7 dielettrico oppure comprendente la sovrapposizione di più strati dielettrici come per esempio ONO (ossido/nitruro/ossido).

Le altre regioni del transistor sono i consueti terminali di drain, source, e di body. Elettrodi metallici sono previsti per contattare
20 terminali di drain, source e regione CG di gate di controllo al fine di poter applicare predeterminati valori di tensione alla cella 1 di memoria.

La carica immagazzinata nella regione FG di gate flottante determina lo stato logico della cella 1 modificandone la tensione di soglia: caratteristica fondamentale della cella 1 di memoria e' infatti di avere
25 due stati, uno con tensione di soglia bassa (cella "cancellata") e uno con tensione di soglia alta (cella "scritta"). La tensione viene applicata dall'esterno alla regione CG di control gate, ma l'elettrodo che controlla effettivamente lo stato del canale e' la regione FG di floating gate.

Un flusso di processo noto per realizzare tali celle di memoria Flash 1
30 integrate su un substrato semiconduttore 2 è mostrato nelle figure da 2 a 5. In tali figure vengono mostrate delle viste in sezione verticale in una

direzione parallela alle "Word Lines".

Tale processo noto prevede la formazione nel substrato di una pluralità di aree attive nelle quali saranno realizzate le celle di memoria separate tra loro da porzioni di uno strato di ossido di campo FOX. Sul substrato
5 2 vengono quindi formati un primo strato di dielettrico 3 denominato "Ossido di Tunnel" e uno strato 4 di silicio policristallino detto POLY1.

Questo strato 4 di silicio policristallino dello spessore di circa 50-200 nm viene ad esempio formato mediante LPCVD (Low Pressure Chemical Vapor Deposition). Questo strato 4 di silicio policristallino viene
10 eventualmente drogato per ridurre la resistività, p.e. con un impianto di fosforo o di arsenico oppure in situ aggiungendo fosforo all'ambiente di deposizione.

Il processo prosegue con la definizione dello strato 4 per realizzare una pluralità di strisce 5 di silicio policristallino tra loro parallele. Tali
15 strisce 5 sono separate ed isolate dal substrato 2 mediante lo strato di ossido 3 come mostrato in figura 3.

In particolare, in questa fase uno strato 6 di materiale fotosensibile chiamato resist viene depositato sulla superficie del substrato 2 e viene
20 esposto con una opportuna radiazione in predeterminate zone non protette da una maschera. Le porzioni di resist selettivamente esposte alla radiazione hanno una velocità di rimozione maggiore rispetto alle zone non esposte e quindi possono essere rimosse tramite una soluzione chimica detta sviluppatore. Dopo la definizione litografica si
25 procede con un attacco dry delle strisce 5 di silicio policristallino per definire le regioni FG di gate flottante.

Dopo aver depositato uno strato 7 dielettrico interpoly, il flusso di processo standard continua con la definizione delle "Word Lines" mediante la formazione di uno strato 8 di silicio policristallino (detto Poly2).

30 Le "Word Lines" vengono quindi definite attraverso un processo fotolitografico che prevede l'uso di una maschera di resist in modo che

tali word lines siano disposte perpendicolarmente alle strisce 5 di polisilicio.

Pur vantaggioso sotto vari aspetti, questo flusso di processo presenta vari inconvenienti. Infatti lo spazio tra due floating gate adiacenti viene
5 colmato con la deposizione del secondo strato 8 di polisilicio. La cella 1 viene poi completata mediante un attacco dry.

Tuttavia la diminuzione delle dimensioni dello spazio tra due floating gate adiacenti (~ 40-50 nm nelle tecnologie piu' avanzate) rende problematico il riempimento con un materiale come il polisilicio.

10 A questo si aggiunge che lo strato 7 dielettrico interpoly quale l'ONO, essendo un materiale ad alta costante dielettrica K, aumenta l'accoppiamento capacitivo tra regioni FG di floating gate adiacenti. Questo può provocare delle interazioni indesiderate tra celle adiacenti, specie se si trovano in diversi stati logici.

15 Il problema tecnico che sta alla base della presente invenzione è quello di escogitare un metodo per formare celle di memoria non volatili, aventi caratteristiche strutturali e funzionali tali da consentire di ridurre l'accoppiamento capacitivo tra regioni di floating gate adiacenti superando le limitazioni che tuttora limitano i dispositivi realizzati
20 secondo l'arte nota.

Sommario dell'invenzione

L'idea di soluzione che sta alla base della presente invenzione è quella di definire una sequenza di processo necessaria ad ottenere un
25 dispositivo di memoria organizzato in righe e colonne comprendente celle di memoria non volatile in cui lo spazio tra due regioni di floating gate adiacenti appartenenti alla stessa riga viene riempito da un materiale a bassa costante dielettrica (low-k).

Sulla base di tale idea di soluzione il problema tecnico è risolto da una
30 cella di memoria del tipo precedentemente indicato e definito dalla parte caratterizzante della rivendicazione 1.

Il problema è altresì risolto da un processo del tipo precedentemente indicato e definito dalla parte caratterizzante della rivendicazione 7.

5 Le caratteristiche ed i vantaggi del dispositivo secondo l'invenzione risulteranno dalla descrizione, fatta qui di seguito, di un suo esempio di realizzazione dato a titolo indicativo e non limitativo con riferimento ai disegni allegati.

Breve descrizione dei disegni

In tali disegni:

10 - la figura 1a illustra una vista schematica di una porzione di matrice di celle di memoria in un dispositivo elettronico di memoria integrato su semiconduttore;

- la figura 1b è una vista in sezione lungo la linea I-I di figura 1 di una cella di memoria convenzionale;

15 - la figura 1c è una vista in sezione lungo la linea II-II di figura 1 di una cella di memoria convenzionale;

- le figure da 2 a 5 mostrano rispettive sezioni verticali in scala ingrandita di una porzione di un substrato semiconduttore durante un processo di fabbricazione di celle di memoria non volatile secondo l'arte nota,

20 - le figure 6 e 7 mostrano rispettive sezioni verticali in scala ingrandita di una porzione di un substrato semiconduttore durante una prima forma di realizzazione di un processo di fabbricazione di celle di memoria non volatile secondo l'invenzione,

25 - le figure 8 e 9 mostrano rispettive sezioni verticali in scala ingrandita di una porzione di un substrato semiconduttore durante una seconda forma di realizzazione di un processo di fabbricazione di celle di memoria non volatile secondo l'invenzione.

Descrizione dettagliata

Con riferimento alle figure da 6 a 9, viene descritta una cella 1 di memoria a gate flottante isolata tramite strati dielettrici a basso valore di costante dielettrica K.

5 Verrà anche descritto un relativo processo di fabbricazione di tale cella 1.

10 Le fasi di processo descritte di seguito non formano un flusso completo di processo per la fabbricazione di circuiti integrati. La presente invenzione può essere messa in pratica insieme alle tecniche di fabbricazione dei circuiti integrati attualmente usate nel settore, e sono incluse solo quelle fasi del processo comunemente usate che sono necessarie per la comprensione della presente invenzione.

15 Le figure che rappresentano viste schematiche di porzioni di un circuito integrato durante la fabbricazione non sono disegnate in scala, ma sono invece disegnate in modo da illustrare le caratteristiche importanti dell'invenzione.

20 Come descritto rispetto all'arte nota, ciascuna cella 1 non volatile comprende un transistor MOS a gate flottante. La regione FG di gate flottante del transistor a gate flottante è realizzata al di sopra della regione CH di canale realizzata nel 2 substrato semiconduttore e separata da quest'ultimo tramite un sottile strato 3 di ossido (tunnel oxide), spesso da 6 a 12nm. Una regione CG di gate di controllo (control gate) è accoppiata capacitivamente alla regione FG di gate flottante tramite un unico strato 5 dielettrico oppure comprendente la sovrapposizione di più strati dielettrici come per esempio ONO (ossido/nitrato/ossido).

30 Secondo l'invenzione uno strato 9 di dielettrico ad bassa costante dielettrica è presente tra regioni FG di floating gate appartenenti alla stessa riga della matrice di celle di memoria in modo da ridurre l'accoppiamento tra celle 1 adiacenti.

In definitiva questo strato 9 di dielettrico ad bassa costante dielettrica

isola una regione FG di floating gate da quelle adiacenti lungo la direzione dell'ampiezza W della cella di memoria.

Viene ora descritto il processo per realizzare una cella 1 di memoria secondo l'invenzione.

5 Su un substrato 2 vengono realizzate una pluralità di aree attive nelle quali saranno realizzate le celle 1 di memoria separate tra loro da porzioni di uno strato di ossido di campo FOX. Sul substrato 2 vengono quindi formati un primo strato 3 di dielettrico attivo e uno strato 4 di materiale conduttore ad esempio silicio policristallino detto POLY1.

10 Vantaggiosamente, questo primo strato 3 di dielettrico attivo è uno strato di ossido denominato "Ossido di Tunnel" ed è formato sul substrato 2 mediante una fase di ossidazione termica.

15 Questo strato 4 di silicio policristallino dello spessore di circa 50-200 nm viene ad esempio formato mediante LPCVD (Low Pressure Chemical Vapor Deposition). Questo strato 4 di silicio policristallino viene eventualmente drogato per ridurre la resistività, p.e. con un impianto di fosforo o di arsenico oppure in situ aggiungendo fosforo all'ambiente di deposizione.

20 Il processo prosegue con la definizione dello strato 4 per realizzare una pluralità di strisce 5 di silicio policristallino tra loro parallele. Tali strisce 5 sono separate ed isolate dal substrato 2 mediante lo strato di ossido 3 come mostrato in figura 3.

25 In particolare, in questa fase uno strato 6 di materiale fotosensibile chiamato resist viene depositato sulla superficie del substrato 2 e viene esposto con una opportuna radiazione in predeterminate zone non protette da una maschera. Le porzioni di resist selettivamente esposte alla radiazione hanno una velocità di rimozione maggiore rispetto alle zone non esposte e quindi possono essere rimosse tramite una soluzione chimica detta sviluppatore. Dopo la definizione litografica si
30 procede con un attacco dry delle strisce 5 di silicio policristallino per definire le regioni FG di gate flottante.

Vantaggiosamente, viene effettuata una prima fase di ossidazione, ad esempio in RTO (Rapid Thermal Oxidation) in ambiente secco, ottenendo un primo strato dielettrico molto sottile, circa 1-2 nm, non mostrato nelle figure. Tale primo strato dielettrico è tale da proteggere le pareti della regione FG di floating gate.

Viene quindi formato uno strato 9 di materiale a bassa costante dielettrica K in modo riempire uno spazio tra due regioni FG di floating gate adiacenti appartenenti ad una stessa riga di piccole dimensioni.

Questo strato 9 di materiale a bassa costante dielettrica è uno strato di materiale organico od inorganico come ad esempio un strato di ossido di silicio drogato, ad esempio con fluoro (FSG Fluorinate Silicate Glass, avente una costante dielettrica compresa tra 3.3-3.7) o con carbonio (ad esempio con gruppi alchilici, $k=2.7-3.1$)

Tali strati 9 dielettrici vengono vantaggiosamente depositati mediante tecniche diverse come la CVD (Chemical Vapour Deposition), la HDPCVD (High-Density Plasma Enhanced Chemical Vapour Deposition), o la tecnica denominata spin-on-glass.

In particolare, gli strati 9 dielettrici depositati con queste ultime tecniche hanno inoltre un'elevata capacità planarizzante.

Vantaggiosamente sono utilizzati altri strati 9 dielettrici, come ad esempio la porous silica, hanno costante dielettrica K di poco superiore ad 1.

Vantaggiosamente, lo strato 9 dielettrico viene densificato in modo da migliorare la propria costante dielettrica.

Si procede quindi con una fase di etch back selettivo verso lo strato 4 di polisilicio tramite CMP o tecniche standard di etch back in modo da lasciare esposta la regione FG di floating gate.

Viene effettuata la deposizione di uno strato 7 dielettrico interpolary e di un secondo strato 8 di polisilicio dello spessore, ad esempio di circa 100-400 nm, per formare la regione di control gate della cella 1 come

mostrato in figura 7.

Un secondo metodo per realizzare l'isolamento tra regioni FG di floating gate, è mostrato nelle figure 8-9.

5 Dopo aver formato le regioni FG di floating gate in modo convenzionale come mostrato in figura 4, viene formato uno strato 7 di dielettrico interpoly.

10 Tale strato 7 di dielettrico interpoly è un unico strato di ossido (di silicio o di afnio o di tellurio o di altri materiali equivalenti) oppure comprende la sovrapposizione di più strati come ad esempio uno strato di ONO (ossido/nitrato/ossido) dello spessore di circa 10-25 nm.

Si forma quindi uno strato 9 di materiale a bassa costante dielettrica K in modo riempire uno spazio tra due regioni FG di floating gate adiacenti di piccole dimensioni.

15 Questo strato 9 di materiale a bassa costante dielettrica è uno strato di materiale organico od inorganico come nella precedente forma di realizzazione.

20 Si procede con un etch back selettivo verso il dielettrico interpoly e con la deposizione del secondo strato di polisilicio dello spessore di circa 150-250 nm (figura 9), che può essere preceduta da una leggera ossidazione (o deposizione di uno strato equivalente) che con un breve trattamento termico e un impatto secondario sullo spessore finale del dielettrico interpoly riesce ad isolare il materiale low- k dal polisilicio soprastante, inibendo la reciproca interazione.

25 Questo secondo metodo si applica ovviamente quando la distanza tra due floating gate adiacenti sia superiore al doppio dello spessore efficace dello strato 7 dielettrico high-k (ONO o altri materiali multistrato sopra citati) deposto sulle pareti della regione FG di floating gate.

30 In conclusione, l'introduzione di uno strato ad basso valore di costante dielettrica riduce i problemi di interazione tra regioni FG di floating gate adiacenti causati dalla riduzione dello spazio tra due regioni di FG

adiacenti.

Tale processo è quindi particolarmente vantaggioso quando vengono utilizzati strati di materiale dielettrico ad alto valore di costante dielettrica K utilizzati come strati di dielettrico interpoly per migliorare
5 gli accoppiamenti capacitivi nelle celle 1 di memoria.

RIVENDICAZIONI

1. Cella di memoria non volatile (1) integrata su un substrato semiconduttore (2) e comprendente:

5 - un transistor a gate flottante includente una regione di source (S), ed una regione di drain (G), una regione di gate aggettante dal substrato (2) e compresa tra dette regioni (S, D) di source e di drain, detta regione di gate avente una predeterminata lunghezza (L) ed ampiezza (W) e comprendente una prima regione (FG) di floating gate ed una regione (CG) di control gate,

10 caratterizzata dal fatto che detta regione di (FG) di floating gate viene isolata lateralmente, lungo la direzione dell'ampiezza (W), da uno strato (9) dielettrico a basso valore di costante dielettrica (K).

15 2 Cella di memoria secondo la rivendicazione 1, caratterizzata dal fatto che dette regioni (FG) di floating gate sono rivestite da uno strato (7) dielettrico prima di essere tra loro isolate da detto strato (9) dielettrico a basso valore di costante dielettrica (K).

3. Cella di memoria secondo la rivendicazione 1, caratterizzata dal fatto che detto strato (9) dielettrico a basso valore di costante dielettrica (K) è confinato tra dette regioni (FG) di floating gate.

20 4. Cella di memoria secondo la rivendicazione 1, caratterizzata dal fatto che detto strato (9) dielettrico a basso valore di costante dielettrica (K) è formato da uno strato di materiale con costante dielettrica compresa tra 1 e 3.9.

25 5. Cella di memoria secondo la rivendicazione 1, caratterizzata dal fatto che detto strato (9) dielettrico a basso valore di costante dielettrica (K) è formato da uno strato di ossido di silicio drogato, ad esempio con fluoro.

6. Cella di memoria secondo la rivendicazione 1, caratterizzata dal fatto che detto strato (9) dielettrico a basso valore di costante dielettrica

(K) è formato da uno strato di ossido di carbonio idrato con gruppi alchilici.

7. Processo per fabbricare celle (1) di memoria non volatile su un substrato (2) semiconduttore organizzate in righe e colonne per formare una matrice di celle di memoria, comprendente le seguenti fasi:

- formare aree attive in detto substrato (2) semiconduttore delimitate da uno strato (FOX) isolante,

- formare su dette aree attive un primo strato (3) di materiale dielettrico,

- depositare un primo strato (5) di materiale conduttore su detto primo strato (3) di materiale dielettrico,

- definire mediante una tecnica fotolitografica convenzionale una pluralità di regioni (FG) di floating gate in detto primo strato (5) di materiale conduttore,

caratterizzato dal fatto di comprendere le seguenti fasi:

- formare uno strato (9) dielettrico a basso valore di costante dielettrica (K) su dette regioni (FG) di floating gate.

8. Processo per fabbricare celle (1) di memoria non volatile secondo la rivendicazione 7, caratterizzato dal fatto che detto strato (9) dielettrico a basso valore di costante dielettrica (K) è confinato tra dette regioni (FG) di floating gate adiacenti appartenenti alla stessa riga.

9. Processo per fabbricare celle (1) di memoria non volatile secondo la rivendicazione 7, caratterizzato dal fatto che detto strato (9) dielettrico a basso valore di costante dielettrica (K) è depositato mediante tecniche CVD.

10. Processo per fabbricare celle (1) di memoria non volatile secondo la rivendicazione 7, caratterizzato dal fatto che detto strato (9) dielettrico a basso valore di costante dielettrica (K) è depositato mediante tecniche spin on glass.

11. Processo per fabbricare celle (1) di memoria non volatile secondo la rivendicazione 7, caratterizzato dal fatto che detto strato (9) dielettrico a basso valore di costante dielettrica (K) è formato da uno strato di materiale con costante dielettrica compresa tra 1 e 3.9.
- 5 12. Processo per fabbricare celle (1) di memoria non volatile secondo la rivendicazione 7, caratterizzato dal fatto che detto strato (9) dielettrico a basso valore di costante dielettrica (K) è formato da uno strato di ossido di silicio drogato, ad esempio con fluoro.
- 10 13. Processo per fabbricare celle (1) di memoria non volatile secondo la rivendicazione 7, caratterizzato dal fatto che detto strato (9) dielettrico a basso valore di costante dielettrica (K) è formato da uno strato di ossido di carbonio idrato con gruppi alchilici.
- 15 14. Processo per fabbricare celle (1) di memoria non volatile secondo la rivendicazione 7, caratterizzato dal fatto che dette regioni (FG) di floating gate sono rivestire da uno strato dielettrico prima di essere tra loro isolate da detto strato (9) dielettrico a basso valore di costante dielettrica (K).
- 20 15. Matrice di celle di memoria formata su un substrato semiconduttore comprendente una pluralità di celle di memoria organizzate in righe e colonne, ciascuna cella essendo realizzata secondo una qualsiasi delle rivendicazioni da 1 a 6, la matrice di celle essendo caratterizzata dal fatto che celle di memoria adiacenti e appartenenti ad una stessa riga di detta matrice di celle di memoria sono tra loro isolate da uno strato (9) dielettrico a basso valore di
- 25 costante dielettrica (K).

RIASSUNTO

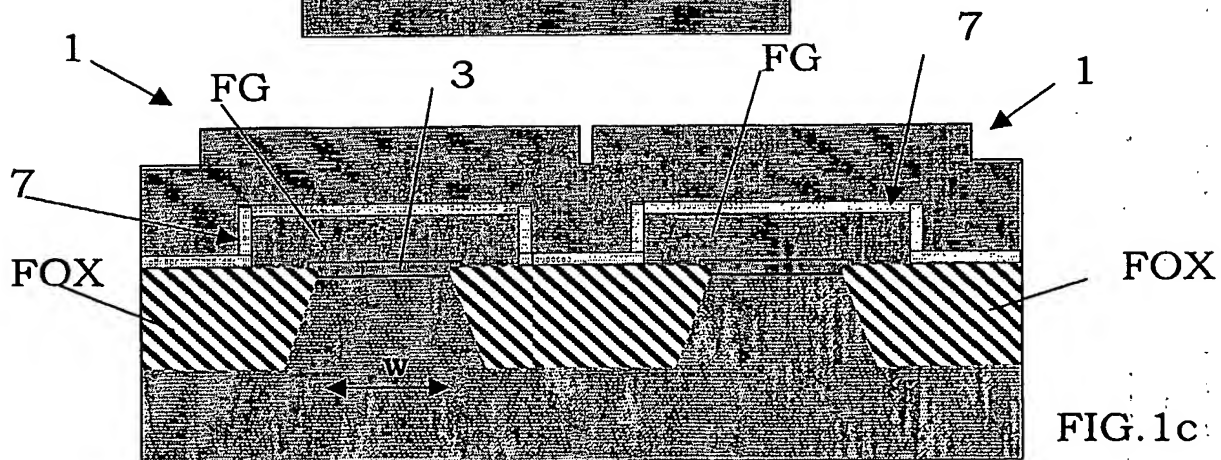
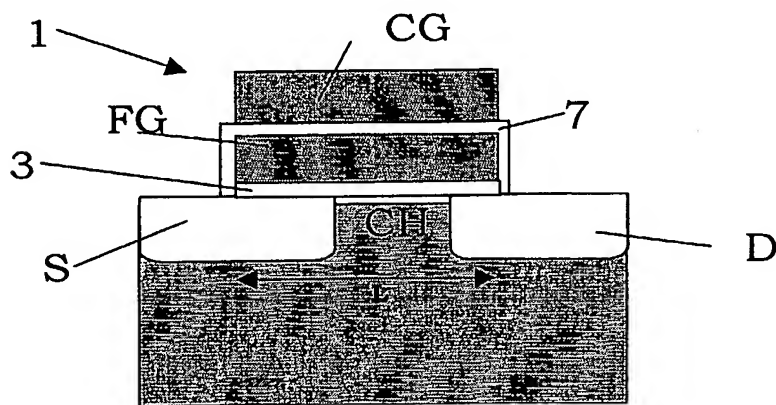
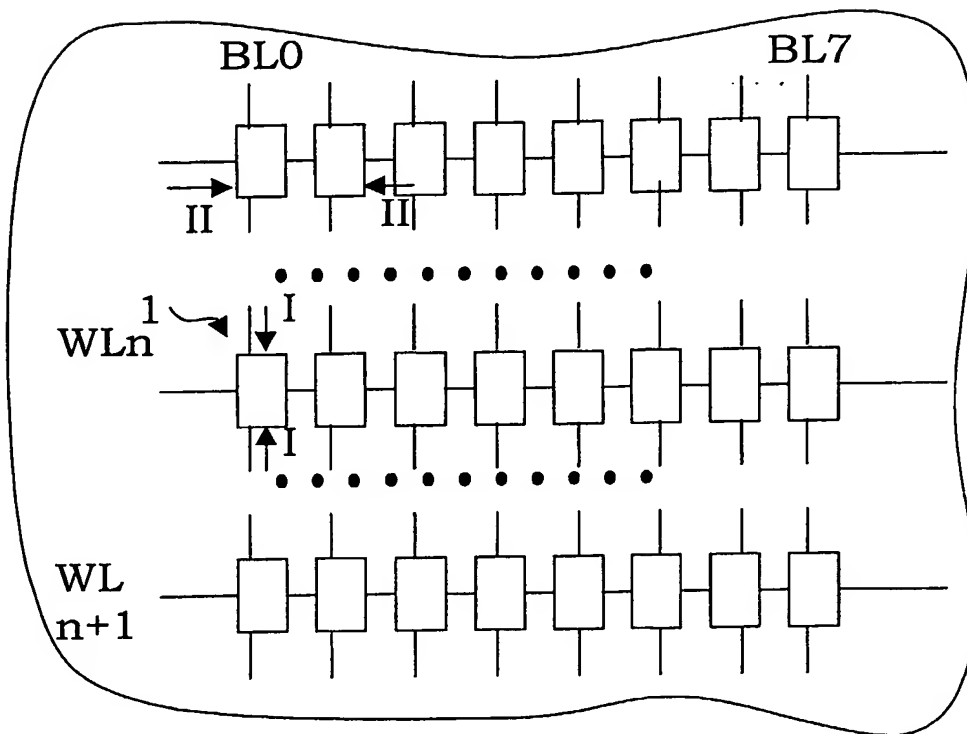
Si descrive una cella di memoria non volatile (1) integrata su un substrato semiconduttore (2) e comprendente:

- 5 - un transistor a gate flottante includente una regione di source (S), ed una regione di drain (G), una regione di gate aggettante dal substrato (2) e compresa tra le regioni (S, D) di source e di drain, la regione di gate avente una predeterminata lunghezza (L) ed ampiezza (W) e comprendente una prima regione (FG) di floating gate ed una regione (CG) di control gate,
- 10 in cui la regione di (FG) di floating gate viene isolata lateralmente, lungo la direzione dell'ampiezza (W), da uno strato (9) dielettrico a basso valore di costante dielettrica (K).

Si descrive inoltre un processo per fabbricare celle (1) di memoria non volatile su un substrato (2) semiconduttore, comprendente le seguenti fasi:

- 15 - formare aree attive nel substrato (2) semiconduttore delimitate da uno strato (FOX) isolante,
- depositare un primo strato (5) di materiale conduttore sulle aree attive,
- 20 - definire mediante una tecnica fotolitografica convenzionale una pluralità di regioni (FG) di floating gate,
- formare uno strato (9) dielettrico a basso valore di costante dielettrica (K) sulle regioni (FG) di floating gate.

25 (Fig. 7)



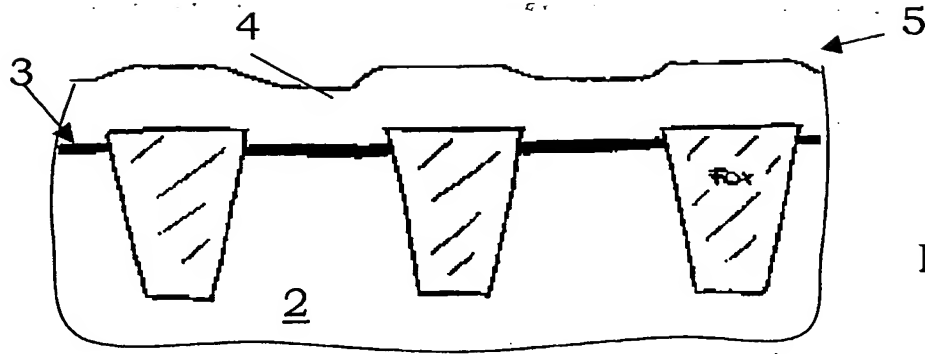


FIG. 2

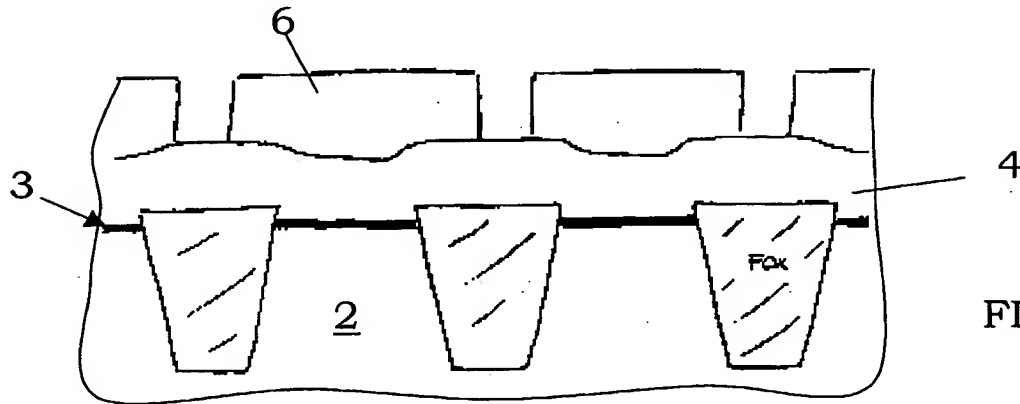


FIG. 3

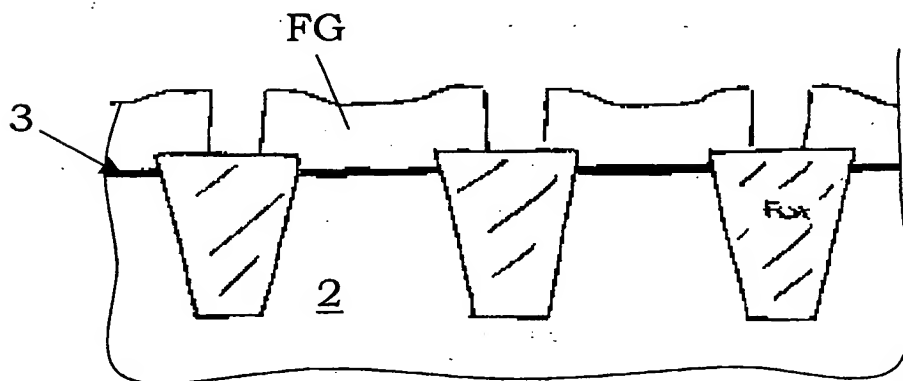


FIG. 4

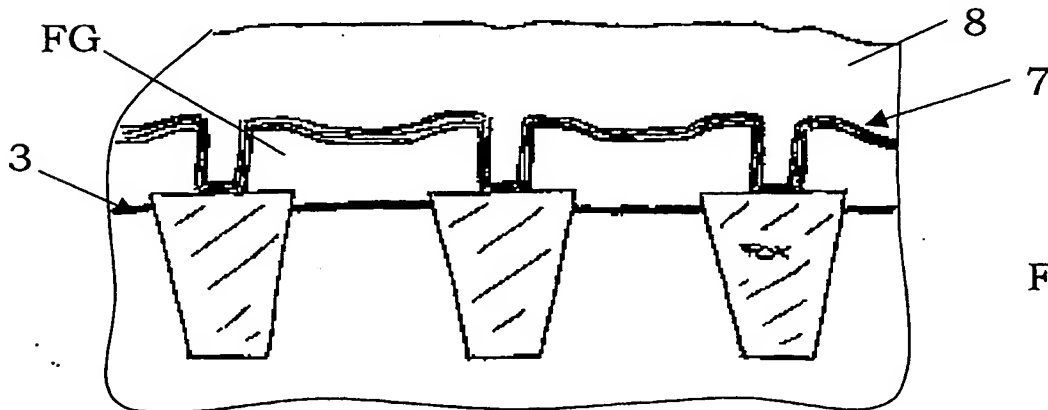


FIG. 5

3/3

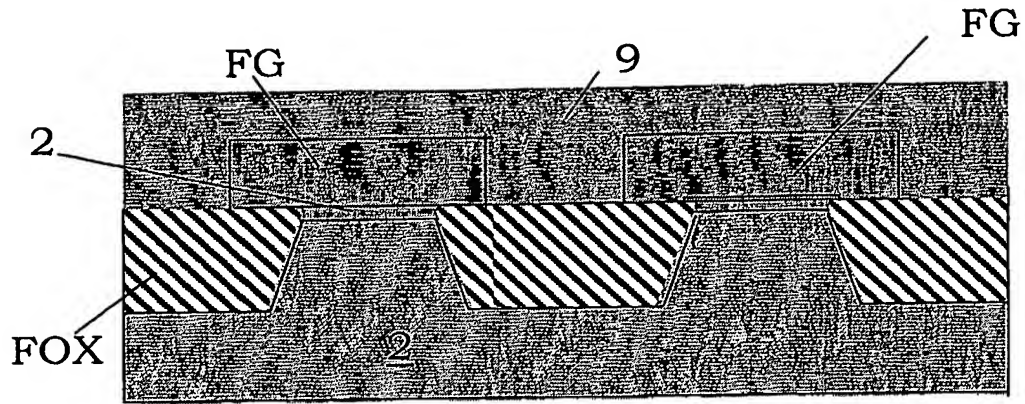


FIG. 6

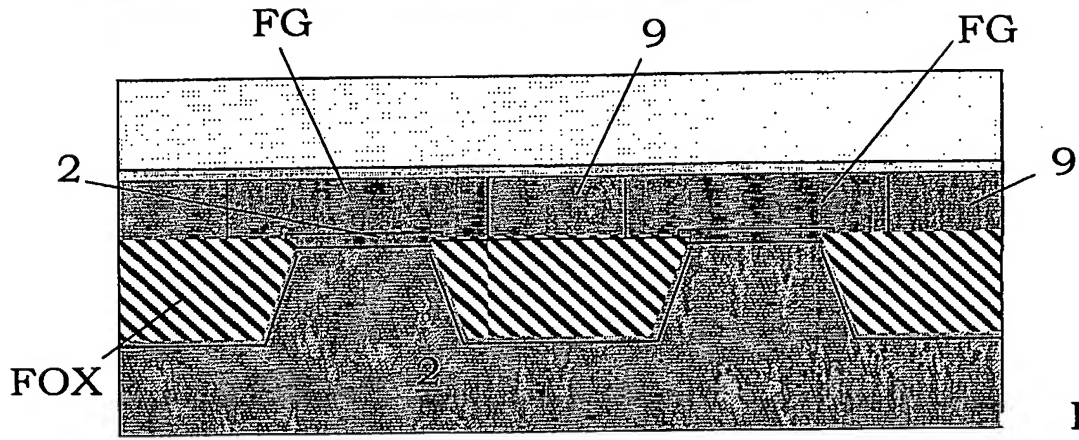


FIG. 7

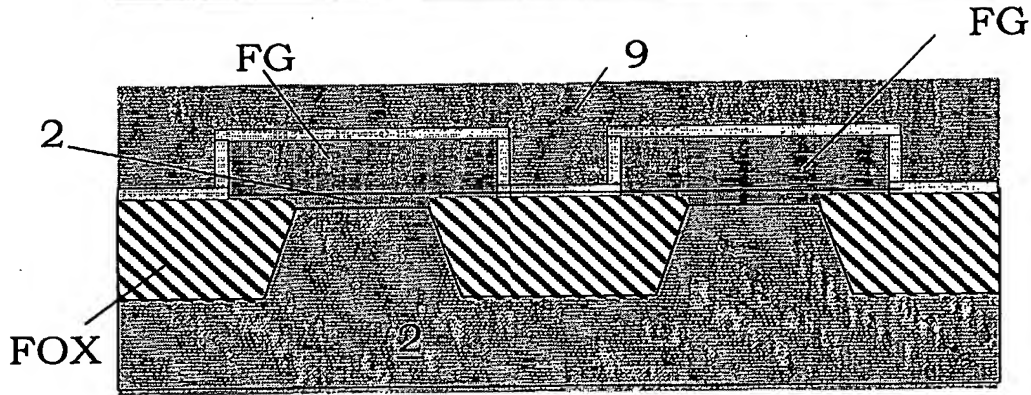


FIG. 8

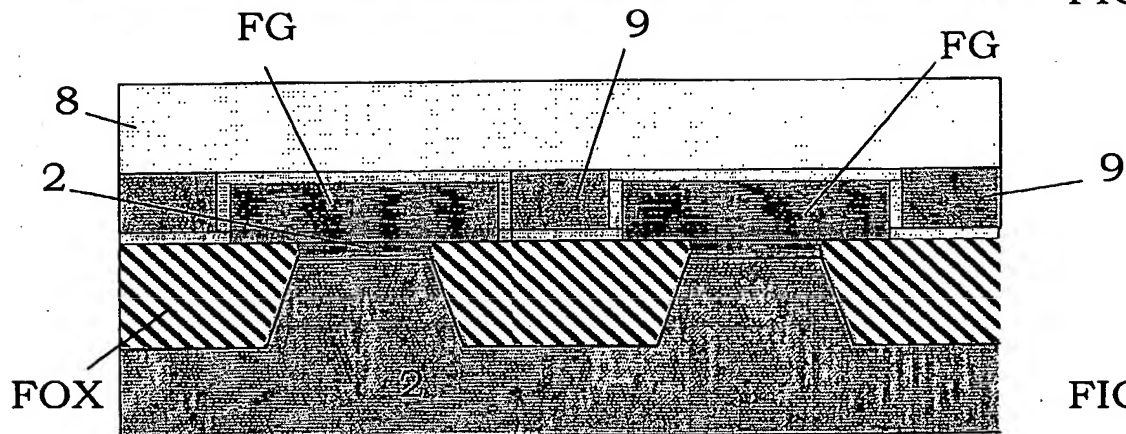


FIG. 9

THIS PAGE BLANK (USPTO)